

# 联合重采样的并行双反馈时频域符号定时恢复算法

张沛鑫<sup>1</sup>, 张南<sup>1</sup>, 王大庆<sup>2</sup>, 吴桐<sup>2</sup>, 李哲<sup>1</sup>, 宫丰奎<sup>1</sup>

(1. 西安电子科技大学空天地一体化综合业务网全国重点实验室, 陕西 西安 710071;

2. 西安空间无线电技术研究所, 陕西 西安 710100)

**摘要:** 针对现有符号定时恢复实现算法难以兼顾大吞吐量、高收敛精度和强抗定时误差算法能力的问题, 提出一种联合重采样的高速并行定时恢复算法, 利用双反馈环实现定时频偏和定时相偏的纠正。在设计并行重采样时, 提出并行数控振荡器的实现方式以及利用使能排序和移位寄存器的方式来实现数据重排序。在进行定时恢复环路设计时, 分析并推导 O&M 定时误差估计算法的并行实现结构, 在对定时相/频偏纠正原理分析的基础上提出环路纠正的设计方法和实现结构。FPGA 实测结果表明, 所提算法能够实现最高 64APSK 调制信号 4~16 倍任意倍符号率的符号定时恢复, 且与理想信号的误差向量幅度 (EVM) 在 4% 以内, 满足宽带卫星通信需求。

**关键词:** 宽带卫星通信; 符号定时恢复; 双反馈; 并行实现

**中图分类号:** TN911.7

**文献标志码:** A

**DOI:** 10.11959/j.issn.1000-436x.2023046

## Joint resampling algorithm for parallel dual feedback time-frequency domain symbol timing recovery

ZHANG Peixin<sup>1</sup>, ZHANG Nan<sup>1</sup>, WANG Daqing<sup>2</sup>, WU Tong<sup>2</sup>, LI Zhe<sup>1</sup>, GONG Fengkui<sup>1</sup>

1. State Key Laboratory of Integrated Service Networks, Xidian University, Xi'an 710071, China

2. CAST-Xi'an Institute of Space Radio Technology, Xi'an 710100, China

**Abstract:** Aiming at the problem that it is difficult for existing implementation algorithms of symbol timing recovery to give full consideration to high convergence accuracy and the robustness to resist timing deviation, a high-speed parallel symbol timing recovery algorithm with resampling was proposed. The timing frequency offset and timing phase offset were corrected by using double feedback loops. In the design of parallel resampling, the implementation of parallel numerically controlled oscillators and the use of enable signals sorting and shift registers to implement data reordering were proposed. When designing the timing recovery loop, the parallel implementation structure of the O&M timing error estimation algorithm was analyzed and deduced, and the design method and implementation structure of the loop correction were proposed based on the analysis of the timing phase/frequency offset correction principle. The FPGA test results show that the proposed algorithm can realize the symbol timing recovery of 64APSK modulated signals with arbitrary multiple symbol rate between 4 and 16 times, and the error vector magnitude (EVM) with the ideal signal is within 4%, which meets the requirements of broadband satellite communication.

**Keywords:** broadband satellite communication, STR, dual feedback, parallel implementation

收稿日期: 2022-10-03; 修回日期: 2023-01-04

通信作者: 宫丰奎, fkgong@xidian.edu.cn

基金项目: 国家自然科学基金资助项目 (No.62001354)

**Foundation Item:** The National Natural Science Foundation of China (No.62001354)

## 0 引言

近年来,随着通信技术的迅速发展,通信容量需求迅速增长,增加通信带宽成为提高通信容量最简单有效的方法。以地面无线接入场景中的蜂窝移动通信标准为例,5G NR (new radio) 毫米波第二代频率范围最大可达 400 MHz<sup>[1-2]</sup>,而未来 6G 预计最大将支持超过 1 GHz 的带宽<sup>[3]</sup>。以 ViaSat-3 为代表<sup>[4]</sup>的高通量卫星工作在 Ka 频段,总的卫星容量超过 1 Tbit/s,单波束通信带宽超过 500 MHz,而 Q/V 频段卫星可提供更大可用带宽,以我国正在研发的宽带低轨卫星 Q/V 馈电链路为例,设计通信带宽近 1 GHz。

对于动辄数百乃至上千兆赫兹的通信带宽,仅依靠计算机软件已很难实时处理通信信号,而鉴于专用集成电路研发成本过于高昂,可编程逻辑门阵列(FPGA, field programmable gate array)器件相对较短的研发周期和可重用特性使其成为众多小批量高速设备的首选。但是,FPGA 工作时钟相对受限,因此,为了适应高数据率处理需求,将高速串行转换为多路低速并行,是实现高速数据传输的一种有效途径。目前,宽带卫星馈电链路、微波链路等多采用单载波传输体制,其接收机匹配滤波器<sup>[5]</sup>,载波恢复模块<sup>[6]</sup>,抑制线性、非线性失真的均衡模块<sup>[7]</sup>,软解映射<sup>[8]</sup>,低密度校验码编译码器<sup>[9]</sup>等模块均向多路并行实现发展。

作为单载波接收机系统中不可或缺的功能部分,符号定时恢复(STR, symbol timing recovery)模块承担着消除采样时钟频偏影响的作用,必须工作在多倍采样率场景中,这意味着更高的处理速率需求与挑战。受限于 FPGA 的工作时钟,符号定时恢复技术也必须采用多路并行处理方案,是目前高速解调技术实现的主要瓶颈之一。

单载波通信系统中,典型 STR 算法为基于反馈结构的 Gardner 算法<sup>[10]</sup>和基于前馈结构的 O&M (Order&Mery) 平方定时恢复算法<sup>[11]</sup>。前者虽然拥有较高的收敛精度,但收敛速度较慢;后者虽然收敛速度快,但收敛精度差,应用于高阶调制时性能损失严重。

在高速并行方面,早期多采用喷气推进实验室提出的替代并行接收(APRX, alternative parallel receiver)架构<sup>[12]</sup>,并联合 O&M<sup>[13]</sup>、Barton 等<sup>[14]</sup>算法的符号定时恢复环路,可以支持高并行处理路数及高调制阶数。Zhao 等<sup>[15]</sup>基于 APRX 架构完成

500 MHz 带宽、32APSK 调制信号的并行定时同步算法设计,仿真结果表明,该设计在不同调制方式下的解调损失均小于 1 dB。Li 等<sup>[16]</sup>提出一种基于 Gardner 的实时定时同步方案,处理速率可达 5 Gbit/s,且能够支持最大 330 ppm (point per million) 的时钟定时误差算法。

但是,APRX 结构通常在频域进行并行实现,数据流缓存复杂,在特定定时误差算法情况下,输出会出现累积现象从而难以支持连续通信系统,且已报道的并行 STR 实现方案多仅针对固定符号率实现,具有较大的局限性。一方面,无论是地面通信还是卫星通信,实际通信标准一般都支持多用户多速率应用。可变符号率可以给相关通信体制提供更高的设计自由度,更利于提升不同应用场景下的频谱利用率,而接收机在固定采样率的基础上支持任意符号率可降低设计复杂度。另一方面,在非合作通信场景中,盲接收机的 STR 模块通常需要估计符号率<sup>[17]</sup>作为先验条件,符号率估计的不准确性给 STR 的抗定时频偏能力提出更高要求,一般至少-1 000~1 000 ppm 的定时频偏恢复能力才能满足后续解调需求。

因此,考虑到宽带卫星互联网等应用的高带宽发展趋势,以及 FPGA 处理时钟的门槛限制,针对现有符号定时恢复技术难以兼顾高吞吐率、高收敛精度、强抗定时误差算法能力的问题,本文提出固定采样率 $f_s$ 下一种新颖的双反馈时频域并行 STR 算法。本文主要贡献介绍如下。

- 1) 提出适合  $\frac{f_s}{16} \sim \frac{f_s}{4}$  任意符号率的 STR 算法,

该算法在频域上实现匹配滤波及定时相偏纠正,在时域上联合分数倍重采样进行定时频偏补偿,可以纠正至少-1 000~1 000 ppm 的符号率偏差;结合四级 4 倍抽取滤波器可以实现  $\frac{f_s}{4096} \sim \frac{f_s}{4}$  任意符合率的捕获与处理,应用灵活性高。

- 2) 设计双反馈结构实现快速高精度同步,支持 64APSK 等以上调制信号的解调预处理。测试表明,即便在 800 Msymbol/s 符号率下,通过均衡器消除群时延失真等影响后,最终误差向量幅度(EVM, error vector magnitude)仍在 4%以内。未编码情况下,当 BER= $1 \times 10^{-4}$  时,信噪比损失小于 0.1 dB。

- 3) 并行路数可配置,当工作时钟为 200 MHz 时,并行 STR 算法可以实现最高 64 路并行。论证用例针对 3.2 Gsample/s 固定采样率,采用 16 路并行实现,

能够支持最高 800 Msymbol/s 符号率信号的定时恢复。基于 Xilinx XC7VX690T FPGA 芯片完成了设计算法的 FPGA 验证, Vivado 软件实现结果表明, 设计结构在并行路数为 16、64 时占用查找表资源约 11%、36%, 数字信号处理器资源约 20%、60%。

## 1 联合重采样的双反馈 STR 算法原理

本节对双反馈 STR 算法的信号处理流程进行数学阐述。

设  $d_n$  为发送的复数调制信号,  $g_T(t)$  为发送端成形滤波器脉冲响应, 由于收发采样时钟存在频偏, 在高斯白噪声信道下, 接收端以  $I$  倍于目标符号率  $f_{\text{sym}} = \frac{1}{T}$  的固定采样率  $f_s = I f_{\text{sym}} = \frac{1}{T_s}$  对接收信号  $r(t)$  进行采样, 可以得到

$$r(m) = \sum_{n=-\infty}^{\infty} d_n g_T(mT_s - nT - \delta T) + w(mT_s) \quad (1)$$

其中,  $w(m)$  为加性白高斯噪声,  $\delta$  为待估计的定时相位误差。在本文应用场景中, 采样倍数  $I$  为大于或等于 4 的任意实数。

### 1.1 重采样基本原理

要正确解调以上信号, STR 算法中的匹配滤波器以及定时误差估计器均需工作在 4 倍采样率基础上, 所以首先需将接收信号进行重采样, 调整其采样率为  $f_s' = \frac{1}{T_s'} \approx 4f_{\text{sym}}$ 。

在时刻  $t = kT_s'$ , 采用滤波器对  $r(m)$  进行重采样, 得到内插后的输出数据可表示为

$$q(kT_s') = \sum_m r(mT_s) h_1(kT_s' - mT_s) \quad (2)$$

其中,  $h_1(t)$  表示理想低通滤波器时域冲激响应;  $q(kT_s')$  表示在  $T_s'$  时钟下的采样数据, 后文简称为  $q(k)$ 。式(2)为插值滤波器的理想输出。采样时间可记为

$$kT_s' = \frac{kT_s'}{T_s} T_s = (m_k + u_k) T_s \quad (3)$$

其中,  $m_k = \left\lfloor \frac{kT_s'}{T_s} \right\rfloor$  表示基准位置,  $\lfloor \cdot \rfloor$  表示向下取整;

$u_k = \frac{kT_s'}{T_s} - m_k$  表示分数间隔, 取值范围为  $0 \sim 1$ 。令  $i = m_k - m$ , 式(2)可近似为有限项求和的形式<sup>[10]</sup>

$$q(k) = q\left[(m_k + u_k)T_s\right] = \sum_{i=-\frac{U}{2}}^{\frac{U}{2}-1} r(m_k - i) h_1(i + u_k) \quad (4)$$

即数字插值滤波器的插值公式,  $U$  为滤波器长度。由于  $u_k$  根据当前采样比率实时计算, 因此插值滤波器系数也需要实时计算。

对于硬件实现而言, 实时计算或者完全存储滤波器冲激响应是不合适的, Farrow 结构<sup>[18]</sup>系数固定, 使用时只需要改变  $u_k$  而不需要重新计算滤波器系数, 是一种灵活高效的数据率转换结构, 因此本文采用 Farrow 结构进行抽取下采样。利用经典拉格朗日插值器<sup>[19]</sup>, 可以得到

$$h_1(i + u_k) = \sum_{x=0}^3 \sum_{y=0}^3 C(x, y) f_x(i + u_k - y) \quad (5)$$

其中,

$$f_x(i + u_k - y) = \begin{cases} u_k^x, & i = y \\ 0, & i \neq y \end{cases} \quad (6)$$

将式(5)和式(6)代入式(4), 可得当前时刻重采样输出为

$$q(k) = \sum_{x=0}^3 \sum_{y=0}^3 r(m_k - x) C(x, y) u_k^x \quad (7)$$

其中,  $C_{4 \times 4}(x, y)$  为拉格朗日插值系数矩阵<sup>[19]</sup>中第  $x+1$  行、第  $y+1$  列的系数。

### 1.2 时频域 STR 数学模型

本文设计的时频域 STR 算法中, 重采样部分在时域进行, 输出信号采样率为  $f_s'$ , 忽略频偏影响, 其时域表达式可记为

$$q(k) = \sum_{n=-\infty}^{\infty} d_n g_T(kT_s' - nT - \delta T) + w(kT_s') \quad (8)$$

定时符号恢复即寻找最佳采样点及纠正定时频偏  $\delta$ 。其中, 定时相偏纠正过程可基于 APRX 架构在频域进行, 联合匹配滤波可以降低整体复杂度。

将重采样信号  $q(k)$  转换到频域得  $Q(k) = \mathcal{F}(q(k))$ , 由时域卷积与频域相乘的等价性可知, 频域匹配滤波输出  $P(k) = Q(k) H_{\text{MF}}(k)$ , 其中,  $H_{\text{MF}}(k)$  表示匹配滤波器的频域响应,  $P(k)$  表示匹配滤波器输出时域信号  $p(k)$  的离散傅里叶变换。

设当前估计定时误差算法为  $\delta_k$ , 目标输出  $g(k) = p(k - \delta_k)$ , 其傅里叶变换可表示为

$$G(j\omega) = \mathcal{F}[p(k - \delta_k)] = P(j\omega) e^{-j\omega\delta_k} \quad (9)$$

在满足频域采样定理的条件下, 对式(9)中  $G(j\omega)$  进行  $V$  点采样得到

$$G(k) = G(e^{j\omega}) \Big|_{\omega=\frac{2\pi k}{V}} = G\left(e^{j\frac{2\pi k}{V}}\right) = P\left(e^{j\frac{2\pi k}{V}}\right)e^{-j\frac{2\pi k\delta_k}{V}} = P(k)e^{-j\frac{2\pi k\delta_k}{V}} \quad (10)$$

式(10)表明, 时域时延相当于频域序列乘以相位旋转因子  $e^{-j\frac{2\pi k\delta_k}{V}}$ 。因此利用当前时刻定时误差算法估计值  $\delta_k$ , 对接收信号进行 DFT 后在频域乘以对消旋转因子  $e^{j\frac{2\pi k\delta_k}{V}}$  即可实现定时相偏纠正, 即目标输出的频域表达式为

$$G(k) = Q(k)H_{MF}(k)e^{j\frac{2\pi k\delta_k}{V}} \quad (11)$$

将式(11)转换到时域  $g(k) = \mathcal{F}^{-1}(G(k))$ , 则为定时相偏纠正后信号。

以  $L$  长对输出时域信号  $g(k)$  进行分段, 其中第  $m$  段的定时误差估计值可表示为<sup>[11]</sup>

$$\delta_{k+1} = \frac{1}{2\pi} \arg(G_m) = \frac{1}{2\pi} \arg\left(\sum_{k=mLM}^{(m+1)LM-1} |g(k)|^2 e^{-j\frac{2\pi k}{M}}\right) \quad (12)$$

其中,  $\arg(\bullet)$  为输入复信号的归一化角度,  $L$  为估计长度,  $M$  为基础上采样倍数, 本文取 4, 令  $k' = 4k$ , 则式(12)可化简为

$$\delta_{k+1} = \frac{1}{2\pi} \arctan\left(\frac{\sum_{k'=mL}^{(m+1)L-1} (|g(k'+3)|^2 - |g(k'+1)|^2)}{\sum_{k'=mL}^{(m+1)L-1} (|g(k')|^2 - |g(k'+2)|^2)}\right) \quad (13)$$

利用更新的定时误差估计值  $\delta_{k+1}$  进行定时相偏纠正即第一反馈环路。

将估计得到的定时误差值通过一阶环路滤波器 (LF, loop filter) 可以得到定时频偏分量  $\Delta w$ , 采用一阶数字环路来设计环路滤波器, 其  $z$  域表达式可以简化为

$$H(z) = \frac{1}{f_{sym}\tau_1} \left( f_{sym}\tau_2 - 0.5 + \frac{1}{1-z^{-1}} \right) \approx \frac{1}{k} \frac{\omega_n^2}{f_{sym}} \left( \frac{2f_{sym}\xi}{\omega_n} + \frac{1}{1-z^{-1}} \right) \quad (14)$$

其中,  $\omega_n$  为环路自由振荡角频率,  $\xi$  为阻尼系数,  $K$  为环路增益, 令  $a_1 = \frac{2\omega_n\xi}{K}$ ,  $a_2 = \frac{\omega_n^2}{Kf_{sym}}$ , 则在离

散域的环路滤波方程为

$$\Delta w(k) = \Delta w(k-1) + a_1(\delta_k - \delta_{k-1}) + a_2\delta_{k-1} \quad (15)$$

其中,  $a_1$  和  $a_2$  将共同影响收敛范围、精度与速度。考虑到硬件实现的复杂度, 本文取  $a_1 = 2^{-9}$ 、

$a_2 = 2^{-17}$ , 经仿真, 可以满足  $\pm 1000$  ppm 范围内的定时频偏纠正。

结合基本频率控制字  $w_0 = 4\frac{f_s}{f_{sym}}$ , 将瞬时频率

控制字  $w = \Delta w + w_0$  作为数控振荡器 (NCO, numerically controlled oscillator) 的输入, 得到插值因子  $\mu$  以及插值有效使能  $e$ , 作用于重采样器完成定时频偏纠正即第二反馈环路。

NCO 实质上是一个相位递减器, 其差分方程可表示为

$$\eta(k+1) = [\eta(k) - w(k)] \bmod 1 \quad (16)$$

其中,  $\bmod 1$  表示对 1 取模。

NCO 的工作示意如图 1 所示。

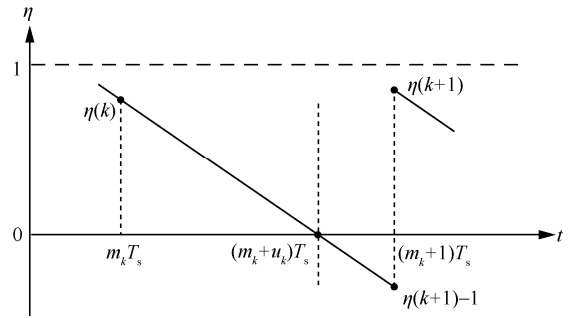


图 1 NCO 的工作示意

NCO 的寄存器数值在  $kT_s = (m_k + u_k)T_s$  时刻经过 0 点, 此时插值有效使能  $e(k)=1$ , 即

$$e(k) = \text{sgn}[\eta(k)] \oplus \text{sgn}[\eta(k-1)] \quad (17)$$

由相似三角形原理可以得到

$$\frac{u_k T_s}{\eta(k)} = \frac{(1-u_k)T_s}{1-\eta(k+1)} \quad (18)$$

化简可得插值因子

$$\mu(k) = u_k = \frac{\eta(k)}{1-\eta(k+1)+\eta(k)} = \frac{\eta(k)}{w(k)} \quad (19)$$

其中,  $e$  和  $\mu$  共同作用于重采样器纠正定时频偏。

不断更新定时误差算法  $\delta$  与插值参数  $e$  和  $\mu$ , 使插值位置最终位于匹配滤波器输出的最大时刻, 即可得到正确的定时恢复符号。利用基于重采样的双反馈环路, 可以显著提升定时误差算法纠正范围、收敛速度和精度。

## 2 联合重采样双反馈 STR 并行实现

本节结合实例对本文提出的联合重采样双反馈 STR 算法的  $N$  路并行实现结构进行论证说明, 实现框架如图 2 所示。

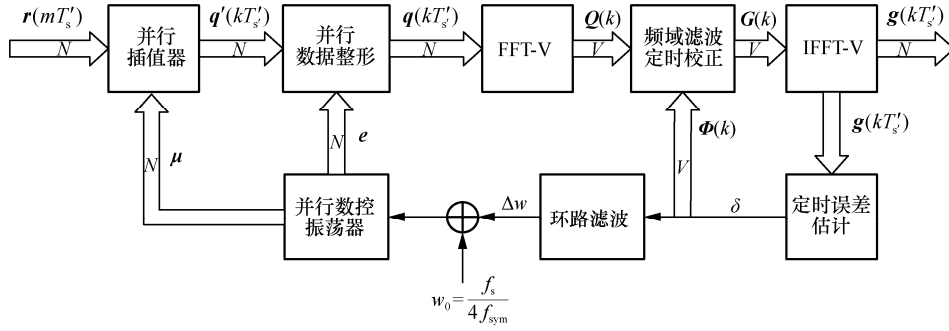


图2 联合重采样的双反馈 STR 并行实现框架

图2中, 数值  $N$  表示 STR 模块整体并行路数,  $T'_s = NT_s$  和  $T'_s = NT_s$  分别表示  $N$  路并行情况下重采样前后的时钟周期。为方便与第1节原理部分对应, 本节使用相同符号的加粗字体表示对应信号的并行形式, 例如接收信号  $\mathbf{r}(m) = [r_1(m), r_2(m), \dots, r_N(m)]^T$ 、重采样信号  $\mathbf{q}'(k) = [q'_1(k), q'_2(k), \dots, q'_N(k)]^T$ 、重采样整形信号  $\mathbf{q}(k)$ 、定时同步后信号  $\mathbf{g}(k)$ 、插值因子  $\boldsymbol{\mu}(k)$ 、插值有效使能  $\mathbf{e}(k)$  均为  $N$  维向量, 代表  $N$  路并行的时域信号;  $\mathbf{Q}(k) = [Q_1(k), Q_2(k), \dots, Q_V(k)]^T$  和  $\mathbf{G}(k)$  为  $V$  维向量, 代表相应时域信号经过  $V$  点 FFT 后的频域信号。为便于频域计算, 相偏纠正向量  $\boldsymbol{\Phi}(k) = e^{j\frac{2\pi k\delta}{V}}$  也记为  $V$  维向量,  $\delta$  为当前时刻的定时误差算法估计值。

联合重采样的双反馈并行 STR 如算法1所示。

#### 算法1 联合重采样的双反馈并行 STR

##### 1) 初始化

令  $\mathbf{e}, \boldsymbol{\mu}, \mathbf{r}, \mathbf{q}', \mathbf{q}, \mathbf{g}, \mathbf{Q}, \mathbf{G}, \boldsymbol{\Phi}, \delta, \Delta w$  等于 0;

##### 2) 并行 NCO

利用瞬时频率控制字  $w$  进行迭代更新, 得到每一时刻并行  $N$  组的插值有效使能  $\mathbf{e}$  及插值因子  $\boldsymbol{\mu}$ ;

##### 3) 插值重采样

根据插值因子  $\boldsymbol{\mu}$ , 并行使用  $N$  次拉格朗日插值器对采样得到的基带信号  $\mathbf{r}$  进行分数倍重采样得到  $\mathbf{q}'$ ;

##### 4) 数据整形

根据插值有效使能  $\mathbf{e}$ , 对  $\mathbf{q}'$  进行整形得到  $\mathbf{q}$  及其有效标志  $\text{en}_q$ , 使该信号在每一个有效使能时刻  $N$  路全有效;

##### 5) 频域转换

基于重叠保留法利用  $V$  点 FFT 将  $N$  路并行输入信号变换到频域得到信号  $\mathbf{Q}$ ;

##### 6) 匹配滤波

在频域计算匹配滤波输出  $\mathbf{P} = \mathbf{Q} \odot \mathbf{H}_{MF}$ ;

##### 7) 定时纠正

根据定时误差估计值  $\delta$  查表得到相位旋转因子  $\boldsymbol{\Phi}$ , 并计算频域定时纠正输出  $\mathbf{G} = \mathbf{P} \odot \boldsymbol{\Phi}$ ;

##### 8) 时域转换

基于重叠保留法利用  $V$  点 IFFT 将频域信号  $\mathbf{G}$  变换到时域并取其中  $N$  路作为模块输出  $\mathbf{g}$ ;

##### 9) 定时估计

对当前时刻输出信号  $\mathbf{g}$  利用式(13)估计并更新定时误差算法  $\delta$ ;

##### 10) 频域反馈

将更新的定时误差  $\delta$  反馈至步骤6);

##### 11) 时域反馈

利用式(15)分离定时频偏分量并得到瞬时频率控制字, 将其反馈至步骤2)。

上述步骤中, NCO 采用并行架构, 防止信号迭代运算, 设计方案见 2.1 节。重采样过程采用并行三阶拉格朗日插值器, 插值器使用数量与并行路数  $N$  相等, 内插得到的有效信号在  $N$  路中是随机分布的, 故需要基于插值有效使能  $\mathbf{e}$  对其进行整形, 并行整形的实现方案见 2.2 节。时频域转换及滤波方案采用重叠保留法, 详细设计见 2.3 节。

下面对本文提出的联合重采样的双反馈 STR 并行实现方案中的关键模块进行论证说明。

### 2.1 重采样并行 NCO 简化机制

对于串行 NCO, 插值因子的更新式如式(19)所示, 将其  $N$  路并行实现时, 会出现信号迭代情况, 即计算第  $N$  路信号需要  $N-1$  路结果, 计算第  $N-1$  路信号需要  $N-2$  路结果等。当路数  $N$  增大到 16 及以上时, 在时钟资源受限的 FPGA 中, 顺序计算并行赋值是无法实现的。

针对此问题, 本文提出了一种 NCO 简化机制。NCO 的寄存器数值  $\boldsymbol{\eta}(k) = [\eta_1(k), \eta_2(k), \dots, \eta_N(k)]^T$  是可以并行计算的, 其中第  $i$  路的结果为

$$\eta_i(k) = [\eta_N(k-1) - iw(k)] \bmod 1, \quad i = 1, 2, \dots, N \quad (20)$$

只需要上一时刻寄存器值  $\eta_N(k-1)$  和当前时刻  $w(k)$  值便可以计算全部  $N$  路寄存器值。

基于  $N$  路寄存器值  $\eta(k)$ , 根据图 2 可以得到插值使能

$$\begin{cases} e_1(k) = \text{sgn}[\eta_1(k)] \oplus \text{sgn}[\eta_N(k-1)] \\ e_i(k) = \text{sgn}[\eta_i(k)] \oplus \text{sgn}[\eta_{i-1}(k)], i = 2, 3, \dots, N \end{cases} \quad (21)$$

当且仅当插值使能有效时, 插值因子更新

$$\mu_i(k) = \left[ \begin{matrix} \eta_i(k) \\ w(k) \end{matrix} \right]_{e_i(k)=1} \quad (22)$$

否则, 该路插值因子保持不变。

本节利用频率控制字  $w(k)$  的瞬态稳定特性以及相似三角形的扩展特性, 将  $N$  路 NCO 分化处理, 以流水线的形式近似地求出  $N$  路插值因子, 避免了信号迭代现象。

### 2.2 并行数据整形机制

在并行重采样过程中, 输出结果由多个并行 Farrow 结构的拉格朗日插值器共同得到, 在每个时钟周期都会产生  $N$  路插值结果, 但这些输出结果并不全是有效数据, 其有效性由 NCO 给出的插值有效使能  $e$  决定。对于不同的上采样倍数, 真实有效的插值信号在  $N$  路中是随机散布的。

针对此问题, 本文提出了一种并行数据整形方案。以轮询的方式对每一时刻 NCO 输出使能  $e(k) = [e_1(k), e_2(k), \dots, e_N(k)]$  进行排序, 得出有效位置向量  $c(k) = [c_0(k), c_1(k), c_2(k), \dots, c_N(k)]$ , 其中,  $c_0(k)$  表示  $k$  时刻使能有效总个数,  $c_i(k)$  表示  $k$  时刻第  $i$  个有效数据的位置,  $1 \leq i \leq c_0(k)$ 。基于有效位置向量  $c(k)$  对  $D$  个时延

后得到的插值结果进行重整, 得到每一个输出有效位置  $N$  路全有效输出的信号, 便于后续模块处理。

插值结果数据整形示意如图 3 所示。

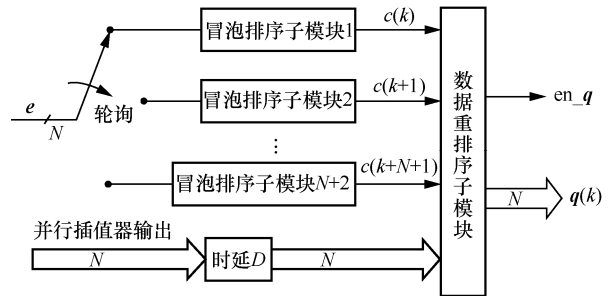


图 3 插值结果数据整形示意

下面以 16 路并行为例, 说明并行数据整形过程。由于系统上采样倍数的任意可变性, 差值有效使能  $e$  中等于 1 的数目及位置均是随机的。例如总上采样倍数  $A=6.569$ , 在某一时刻  $e = [1, 0, 1, 0, 1, 1, 0, 1, 0, 1, 1, 0, 1, 0, 1, 1]^T$ ; 通过冒泡排序的方法可以得到该时刻有效位置向量  $c = [10, 1, 3, 5, 6, 8, 10, 11, 13, 15, 16, 0, 0, 0, 0, 0]^T$ , 其中第一个‘10’表示该时刻有 10 个插值信号有效, 后续 10 个数字分别表示 10 个有效位置。方案采用流水线的形式利用冒泡排序的思想进行排序, 包含输入输出缓存, 处理时延为  $N+2=18$  个时钟; 考虑到排序过程中使能  $e$  是实时更新的, 所以需要根据时延调用  $N+2$  次排序模块, 通过轮询的方式得到每一时刻的有效位置向量。

通过时延  $N$  路并行插值器输出, 与每一时刻有效位置向量对齐后, 共同经过数据重排序模块即可得到有效时刻  $N$  路全有效的输出。基于排序的并行数据整形机制如算法 2 所示; 以 16 路并行为例的工作原理示意如图 4 所示。

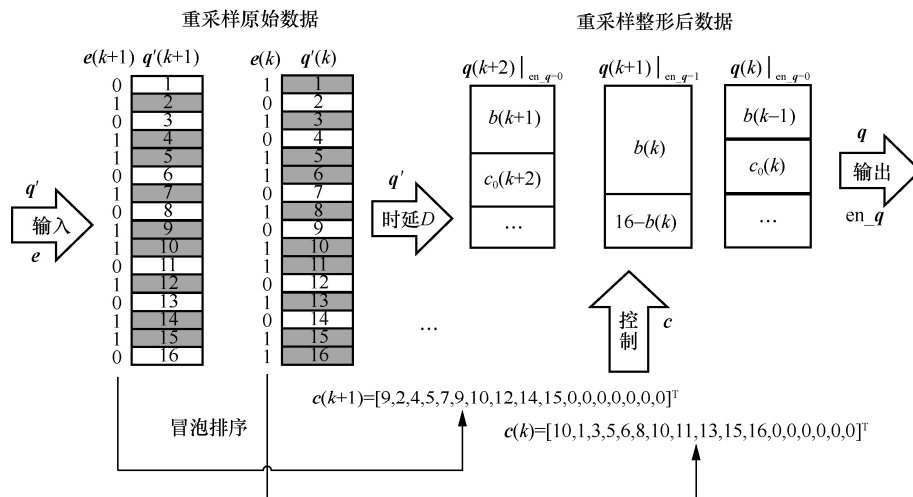


图 4 以 16 路并行为例的工作原理示意

**算法 2** 基于排序的并行数据整形机制

1) 初始状态

令数据剩余量  $b(0)=0$ ;

2) 冒泡排序

对重采样原始输出信号  $q'(k)$  进行排序，得到有效位置向量  $c(k)$ ;

3) 状态判断

记  $b'(k)=b(k-1)+c_0(k)$ ，即上一时刻数据剩余量与当前时刻有效数据量之和，判断  $b'(k)$  是否大于  $N$ ;

4) 状态保持

若  $b'(k) < N$ ，则判定当前时刻不输出，缓存  $q'(k)$  并更新  $b(k)=b'(k)$ ;

5) 状态更新

若  $b'(k) \geq N$ ，则判定当前时刻输出，输出数据为上一时刻剩余数据（总计  $b(k-1)$  个数据）与本时刻  $[N-b(k-1)]$  个数据的集合，并更新  $b(k)=b'(k)-N$ ;

6) 返回状态

令  $k=k+1$ ，且每一时刻均从步骤 2) 重新开始执行。

算法 2 步骤 4) 中，本文采用深度为  $2N$  的寄存器对重采样原始输出信号进行缓存。步骤 5) 中，输出数据是缓存数据  $q'(k)$  与有效位置向量  $c(k)$  共同得到的，如  $k$  时刻  $[N-b(k-1)]$  个有效数据可以表示为  $q(k) \Big|_{c_1(k) \sim c_{N-b(k)}(k)}$ 。

**2.3 并行定时相偏纠正实现**

式(13)给出了定时误差算法的估计值，基于式(11)可以在频域对定时相偏进行纠正。频域并行实现定时相偏纠正的实现框架如图 5 所示。其中，数字  $x.y$  表示整数位为  $x$  bit、小数位为  $y$  bit 的定点化数据形式。

结合频域相乘运算  $P(k)=Q(k)H_{MF}(k)$  和频域 IDFT，可得到

$$p_c(n) = \sum_{m=0}^{N_2-1} h(m) \sum_{i=-\infty}^{+\infty} q(n-m+iV)R_V(n) = \sum_{i=-\infty}^{+\infty} \left[ \sum_{m=0}^{N_2-1} h(m)q(n-m+iV) \right] R_V(n) = \sum_{i=-\infty}^{+\infty} p(n+iV)R_V(n) \quad (23)$$

其中， $V \geq \max[N, N_2]$ ， $N_2$  是滤波器阶数， $N$  是并行路数； $p_c(n)$  相当于线性卷积结果  $p(n)$  以  $V$  为周期延拓的主值序列，其中线性卷积输出长度为  $N_2+N-1$ ，当  $V \geq N_2+N-1$  即可满足周期延拓无混叠。

重叠保留法将输入的序列按并行路数  $N$  进行分段，保持 DFT 的点数为  $V \geq N_2+N-1$ ，由前一刻保留的  $V-N$  点数据与当前输入  $N$  路数据叠加构成。该段数据与长度为  $N_2$  的滤波器系数进行卷积，舍弃前  $V-N$  点，剩下  $N$  点即滤波器输出。重叠保留法不需要保存上一时刻的输出结果做加法运算，同时重叠保留过程通过 FPGA 内部寄存器缓存即可实现，结构相对简单，因此本文采用此方法进行时频域转换及滤波。

实际中采用的匹配滤波器一般均满足系数对称性和线性相位特性，且滤波特性一定是低通滤波器。因此频域滤波可以再次简化，将频域的高频分量置零，仅利用滤波器幅频响应进行相乘滤波，并将 IFFT 输出从结尾前移  $\frac{N_2-1}{2}$  点后输出  $N$  个信号作为输出，证明过程见附录 1。

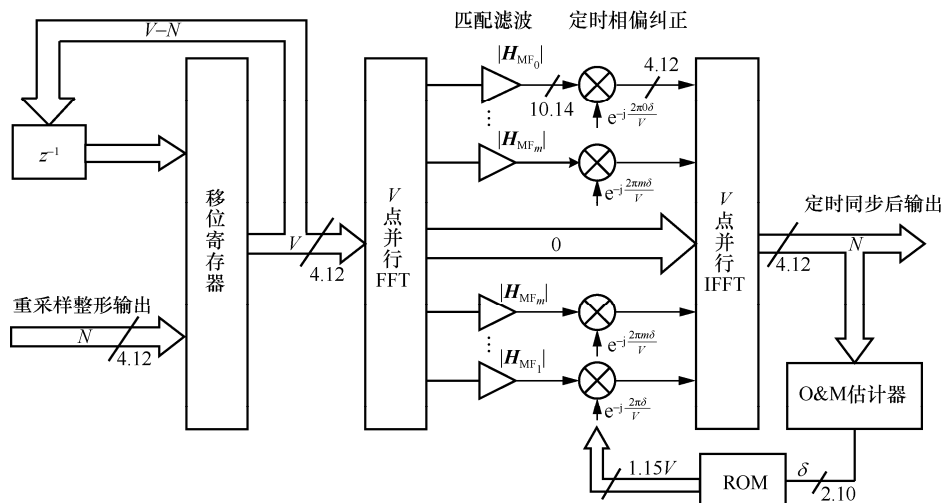


图 5 频域并行实现定时相偏纠正的实现框架

要想得到较理想的匹配滤波性能，匹配滤波器的阶数不能太低，本文论证用例在 3.2 Gsymbol/s 固定采样率进行实现，并行路数  $N=16$ ，FFT 点数  $V=64$ ，滤波器阶数  $N_2$  选择不混叠的最大值 49，即  $V=N_2+N-1$ 。当并行路数扩充到 64 路时，FFT 点数必须增加至 128 点才能满足重叠保留法频域滤波的滤波器阶数需求。基于频域的并行定时相偏纠正如算法 3 所示。

**算法 3** 基于频域的并行定时相偏纠正

- 1) 初始化移位寄存器数据为全 0；
- 2) 按照重叠保留法将输入  $N$  路数据与前一时刻移位寄存器中后  $V-N$  路数据组成  $V$  组数据，进行  $V$  点并行 FFT 得到  $Q$ ；
- 3) 利用软件对匹配滤波器时域响应进行  $V$  点 FFT 得到  $H_{MF}$ ，计算其幅值  $|H_{MF}|$  并优化，其中  $|H_{MF}| < 0.01$  部分可直接置 0；
- 4) 计算  $P=Q \odot |H_{MF}|$ ，其中  $|H_{MF}|=0$  部分可直接置 0；
- 5) 计算  $G=P \odot \Phi$ ，其中  $|H_{MF}|=0$  部分可直接置 0；
- 6) 对复向量  $G$  共轭后进行  $V$  点 FFT 得到  $g'$ ；
- 7) 从  $V$  维向量  $g'$  中取出  $N$  路信号  $\left\{ \left[ V-N-\frac{N_2-1}{2} \right] \sim \left[ V-1-\frac{N_2-1}{2} \right] \right\}$ ，再取其共轭即频域纠正的最终输出  $g$ 。

算法 3 中，鉴于基 8 分解 FFT 可以降低并行 FFT 的乘法器资源占用，所以本文采用基 8 分解 64 点并行 FFT 实现；同时利用输入输出共轭的 FFT 代替 IFFT 可降低程序设计复杂度。

对于式(13)表征的定时误差估计器，图 6 给出

了并行实现框架。

将  $N$  路并行的 IQ 数据分成  $\frac{N}{4}$  组 4 路并行，按式(13)进行交叉加减并累加  $\frac{4L}{N}$  次，计算幅角即该估计块的定时误差估计更新值。

**3 性能及复杂度分析**

本节基于宽带卫星典型的连续通信体制，对本文提出的双反馈 STR 算法进行性能仿真，并给出其 FPGA 硬件实现结果，以全面验证所提算法在收敛精度、收敛速度、抗定时误差、实现复杂度等方面的性能。

**3.1 性能仿真**

首先将 STR 算法与前馈 O&M 算法、反馈 Gardner 算法等经典算法对比，考虑高阶 64APSK 调制方式，BER 性能如图 7 所示。从图 7 中可以看出，STR 算法在收敛精度方面较前馈 O&M 算法有明显提升：当误码率为  $1 \times 10^{-3}$  时，STR 算法的信噪比相比前馈 O&M 算法(仿真用前馈估计长度为 128)可以提高 0.2 dB 左右，并略优于反馈 Gardner 算法(仿真用环路滤波器系数同式(15)下典型值)，接近理论性能。

进一步考虑较恶劣的 100 ppm 定时误差的场景，采用相同的环路滤波系数，对 STR 算法与时域 Gardner 算法的收敛时间进行对比，在 QPSK 调制方式下，输出星座实部随符号数的变化情况如图 8 所示。从图 8 可以看出，STR 算法在收敛速度方面有

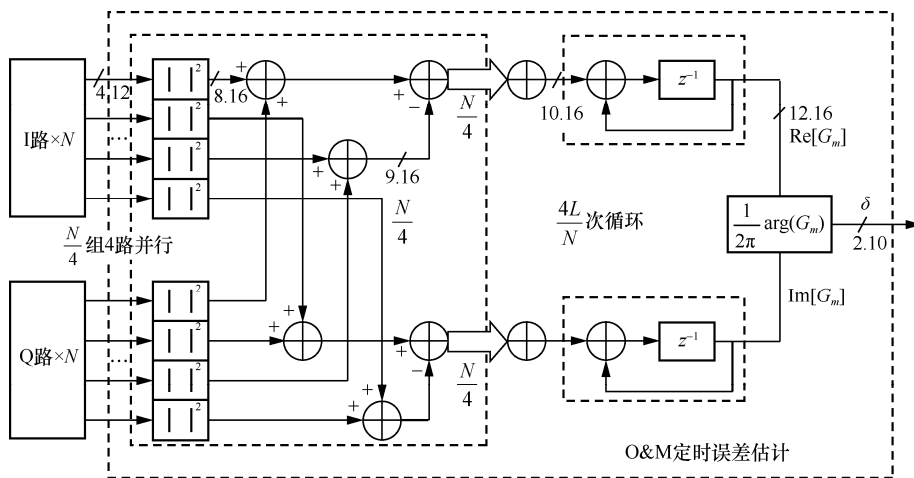


图 6 并行定时误差估计器实现框架

较大提升，1 000 个符号左右即可达到收敛，而相同参数下，时域 Gardner 算法需要将近 10 000 个符号。

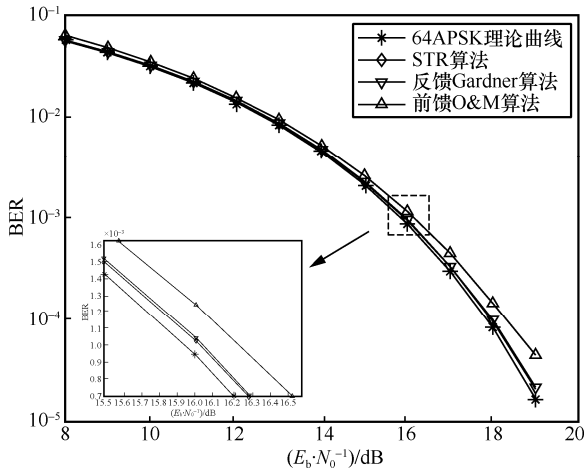


图 7 不同算法的 BER 性能对比 (10 ppm 定时误差)

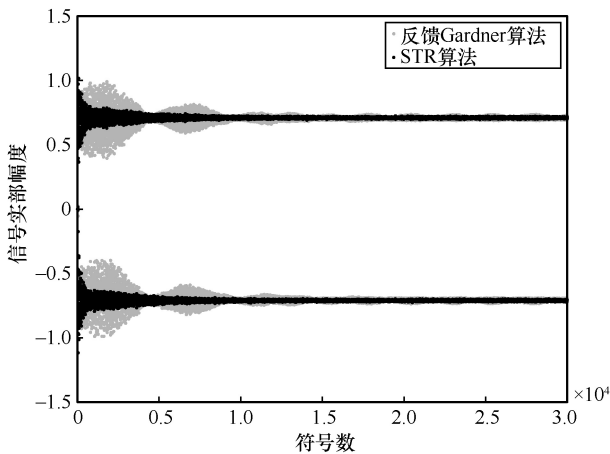


图 8 输出星座实部随符号数的变化情况 (无噪)

同样 100 ppm 采样时钟频偏参数，考虑噪声影响，不同调制方式下的 BER 性能如图 9 所示。从图 9 可以看出，对于所有调制方式 (QPSK、8PSK、16APSK、64APSK)，当误码率为  $1 \times 10^{-3}$  或  $1 \times 10^{-4}$  时，STR 算法的信噪比较理论曲线性能损失均小于 0.1 dB。

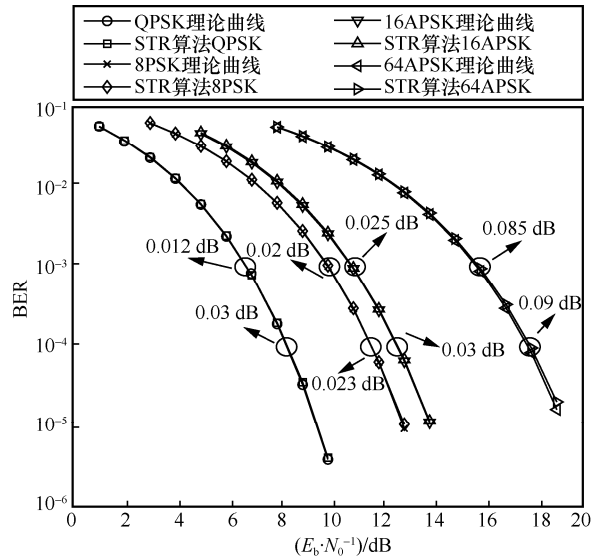


图 9 不同调制方式在 100 ppm 定时误差下的 BER 性能 (滚降因子为 0.2)

特别地，以 100 ppm 为步长，考虑  $-1\ 100 \sim 1\ 100$  ppm 的定时误差范围，STR 算法在  $1 \times 10^{-3}$  误码率处造成的 BER 损失如图 10 所示。从图 10 可以看出，STR 算法能在不损失精度的前提下至少恢复  $-1\ 100 \sim 1\ 100$  ppm 的定时误差。即便对于 64APSK，STR 环路造成的性能损失仍小于 0.1 dB，而 QPSK 的最大性能损失小于 0.02 dB。

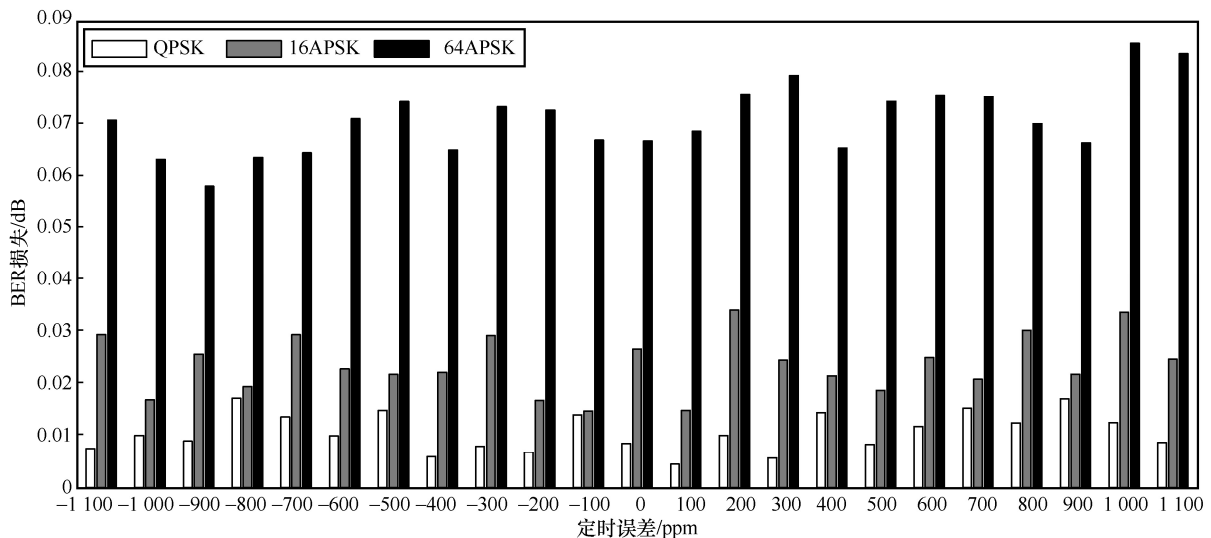


图 10 不同定时误差场景下的 BER 损失

### 3.2 实现复杂度分析

以 16 路并行为例，利用 Vivado 硬件开发平台对 STR 算法进行 RTL 综合实现，芯片选型为 Xilinx 公司的 XC7VX690T，经过布局布线后的资源占用情况如表 1 所示。经 Vivado 软件的静态时序分析，STR 算法在 250 MHz 时钟频率下没有时序违例。

表 1 STR 算法 16 路资源占用情况

资源类型	时域重采样器 并行数据整形	频域匹配滤波 定时相偏纠正	其他	总计 (芯片 资源占比)
LUT	18 109	26 343	3 967	48 419(11.18%)
Slice	6 902	10 075	194	17 171(15.86%)
BRAM	0	11	0.5	11.5(1.26%)
DSP	128	543	483	719(19.97%)

当 STR 算法实现的并行路数增长时，时域重采样器以及排序整形模块只需重复累加，通过外部控制信号可以做到路数可配，此时资源占用量会线性增长；对于频域匹配滤波以及定时相偏纠正模块，按照 2.3 节分析，当并行路数超过 64 路时，至少需使用 128 点 FFT 进行时频域变换，分解优化之后，资源占用率约为原来的 2.5 倍，并且频域处理过程与外部时域并行路数无关，因此该部分更易做到路数可配。

基于以上分析，对于 64 路并行的 STR 算法，时域部分资源将会变为 16 路的 4 倍，频域部分包括其他控制模块将会变为 3 倍，那么算法实现后 LUT 和 DSP 的总体占用率约为 36%和 60%。

### 4 基于高速硬件平台的下载验证

本节基于高速硬件平台上的宽带连续通信系统，对双反馈 STR 算法进行下载验证。采样率固定为 3.2 Gsymbol/s，结合抽取滤波器对 50~800 Msymbol/s 符号率范围的基带信号进行解调，得到的 EVM 性能如图 11 所示。从图 11 可以看出，采用 STR 算法的硬件平台解调输出星座 EVM 结果和最新 FSW85 频谱分析仪结果接近，结合接收机均衡处理后，即使在 800 Msymbol/s 符号率下，EVM 仍小于 4%。

鉴于选用频谱分析仪 VSA 功能最高检测 512 Msymbol/s 符号率信号，本文以 500 Msymbol/s 符号率信号为例，进行 STR 算法的抗定时误差性能测试并与频谱分析仪估计值进行对比，如图 12 所示。

频谱分析仪采用高稳定时钟源，且由于频谱分析仪采用软件分析的方案，其估计范围非常广，

可以作为算法评估性能基准。在未添加定时误差算法时，频谱仪显示-8.3 ppm 的定时误差算法由调制器时钟产生；应用本文算法后，解调器估计定时误差算法为-17.7 ppm，该数值为调制器与解调器之间的基础定时误差算法。从图 12 可以看出，至少在-1 100~1 100 ppm，STR 算法能够较精确地估计定时误差算法，当超出一定范围后，反馈环路失锁会使结果完全清零。

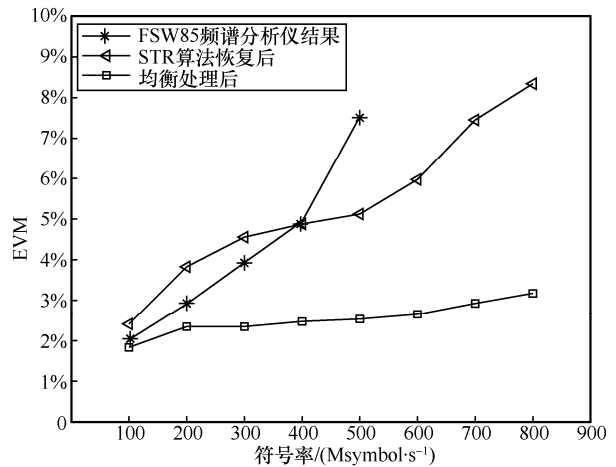


图 11 不同符号率下的信号 EVM 性能

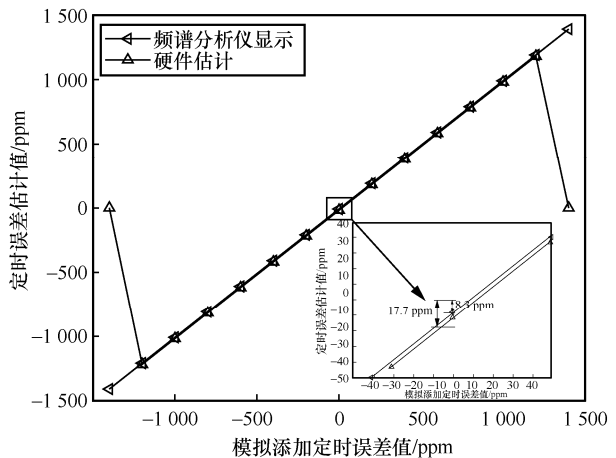


图 12 抗定时误差能力

### 5 结束语

本文提出一种联合重采样的双反馈时频域符号定时恢复算法，并将其在 FPGA 中并行实现。仿真及测试结果表明，所提算法能消除至少-1 000~1 000 ppm 的定时误差或符号率偏差，且在该范围内，即便对于 64APSK 高阶调制方式，BER 损失仍小于 0.1 dB。下载验证测试结果同时表明，结合整数倍抽取滤波器可以同步到 800 Msymbol/s 以内任意

符号率的信号，且解调信号与理想信号误差向量幅度 EVM 在 4% 以内。本文提出的高吞吐率、高精度、强抗定时误差算法能力的符号定时恢复算法可以充分满足宽带卫星互联网中的定时同步需求。

## 附录 1 频域滤波简化算法证明

实际中采用的匹配滤波 FIR 滤波器均为低通滤波器，且系数一般均满足对称性和线性相位，将滤波器的频率响应函数表示为

$$H_{MF}(e^{j\omega}) = H'_{MF}(e^{j\omega})e^{-j\omega\frac{N_2-1}{2}} \quad (24)$$

其中， $H'_{MF}(e^{j\omega})$  是  $\omega$  的实函数，表示幅频响应。对式(24)在频域进行  $N$  点采样可得

$$H_{MF}(k) = H'_{MF}(k)e^{-j\frac{2\pi k}{N}\frac{N_2-1}{2}} \quad (25)$$

此时，频域滤波过程可以表示为

$$P(k) = Q(k)H_{MF}(k) = e^{-j\frac{2\pi k}{N}\frac{N_2-1}{2}} Q(k)H'_{MF}(k) \quad (26)$$

根据 DFT 的圆周移位特性

$$P_m(k) = \text{DFT}(p((n+m))_N R_N(n)) = e^{j\frac{2\pi km}{N}} P(k) \quad (27)$$

由上述推导，可以得到

$$p(n) = p'\left(n - \frac{N_2-1}{2}\right)_N \quad (28)$$

其中，

$$p'(n) = \mathcal{F}^{-1}[P(k)] = \mathcal{F}^{-1}[Q(k)H'_{MF}(k)] \quad (29)$$

即可以利用实数运算的幅频响应代替复数运算。

## 参考文献：

[1] BHAT P, NAGATA S, CAMPOY L, et al. LTE-advanced: an operator perspective[J]. IEEE Communications Magazine, 2012, 50(2): 104-114.

[2] SHAFI M, MOLISCH A F, SMITH P J, et al. 5G: a tutorial overview of standards, trials, challenges, deployment, and practice[J]. IEEE Journal on Selected Areas in Communications, 2017, 35(6): 1201-1221.

[3] POLESE M, JORNET J M, MELODIA T, et al. Toward end-to-end, full-stack 6G terahertz networks[J]. IEEE Communications Magazine, 2020, 58(11): 48-54.

[4] 邹明, 赵子骏, 魏凡. 新兴低轨卫星通信星座发展前景研究[J]. 中

国电子科学研究院学报, 2020, 15(12): 1155-1162.

ZOU M, ZHAO Z J, WEI F. Research on the development prospect of emerging low earth orbit satellite communication constellations[J]. Journal of China Academy of Electronics and Information Technology, 2020, 15(12): 1155-1162.

[5] GAO Z, ZHOU M, REVIRIEGO P, et al. Efficient fault-tolerant design for parallel matched filters[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2018, 65(3): 366-370.

[6] NIKITENKO A N, PLOTNIKOV M Y, VOLKOV A V, et al. PGC-atan demodulation scheme with the carrier phase delay compensation for fiber-optic interferometric sensors[J]. IEEE Sensors Journal, 2018, 18(5): 1985-1992.

[7] 王爱华, 车雯, 方金辉, 等. 高速低复杂度并行盲均衡的研究与 FPGA 实现[J]. 北京理工大学学报, 2019, 39(11): 1192-1197.

WANG A H, CHE W, FANG J H, et al. Research on high speed and hardware efficient parallel blind equalization and its FPGA implementation[J]. Transactions of Beijing Institute of Technology, 2019, 39(11): 1192-1197.

[8] HARB H, AL GHOUWAYEL A C, BOUTILLON E. Parallel generation of most reliable LLRs of a non-binary symbol[J]. IEEE Communications Letters, 2019, 23(10): 1761-1764.

[9] 张雪, 姜泉江, 梁广, 等. 一种面向 FPGA 实现的 LDPC 编码可配置并行架构设计[J]. 中国科学院大学学报, 2020, 37(5): 714-719.

ZHANG X, JIANG Q J, LIANG G, et al. Design and implementation of a generic parallel architecture for LDPC codes based on FPGA[J]. Journal of University of Chinese Academy of Sciences, 2020, 37(5): 714-719.

[10] GARDNER F M. Interpolation in digital modems. I. fundamentals[J]. IEEE Transactions on Communications, 1993, 41(3): 501-507.

[11] OERDER M, MEYR H. Digital filter and square timing recovery[J]. IEEE Transactions on Communications, 1988, 36(5): 605-612.

[12] SRINIVASAN M, CHEN C C, GREBOWSKY G, et al. An all-digital, high data-rate parallel receiver[J]. Telecommunications and Data Acquisition Progress Report, 1997, 42: 131.

[13] LIN C X, ZHANG J, SHAO B B. A high speed parallel timing recovery algorithm and its FPGA implementation[C]//Proceedings of 2011 2nd International Symposium on Intelligence Information Processing and Trusted Computing. Piscataway: IEEE Press, 2011: 63-66.

[14] YAN J, WANG S L, CHEN D X, et al. An improved parallel matched filter and symbol synchronization algorithm based on frequency domain timing error estimation[C]//Proceedings of 2019 IEEE International Conference on Signal, Information and Data Processing (ICSIDP). Piscataway: IEEE Press, 2020: 1-4.

[15] ZHAO S H, WANG Y Z, QI T Y, et al. Parallel structure of all digital timing synchronization and realization of FPGA[C]//Proceedings of 2018 IEEE 3rd Advanced Information Technology, Electronic and

Automation Control Conference (IAEAC). Piscataway: IEEE Press, 2018: 588-592.

[16] LI Y F, LI Y, DONG T, et al. Real-time clock recovery algorithm with high clock frequency offset tolerance[J]. Optics Communications, 2021, 493: 127025.

[17] PEI C, BI S Z, QUAN Z. Data-driven bandpass filter design for estimating symbol rate of sporadic signal at low SNR[J]. IEEE Transactions on Wireless Communications, 2022, 21(4): 2680-2694.

[18] FARROW C W. A continuously variable digital delay element[C]//Proceedings of 1988 IEEE International Symposium on Circuits and Systems. Piscataway: IEEE Press, 2002: 2641-2645.

[19] LAAKSO T I, VALIMAKI V, KARJALAINEN M, et al. Splitting the unit delay[FIR/all pass filters design][J]. IEEE Signal Processing Magazine, 1996, 13(1): 30-60.



王大庆（1980- ），男，山东枣庄人，西安空间无线电技术研究所研究员，主要研究方向为卫星通信。



吴桐（1990- ），男，陕西渭南人，博士，西安空间无线电技术研究所高级工程师，主要研究方向为卫星通信。

[作者简介]



张沛鑫（1998- ），男，陕西汉中，西安电子科技大学博士生，主要研究方向为高通量卫星通信系统、物理层可靠通信。



李哲（1996- ），男，陕西铜川人，西安电子科技大学硕士生，主要研究方向为单载波定时同步技术。



张南（1980- ），女，湖北天门人，博士，西安电子科技大学讲师、硕士生导师，主要研究方向为复杂环境下的通信系统关键技术。



宫丰奎（1979- ），男，山东潍坊人，博士，西安电子科技大学教授、博士生导师，主要研究方向为宽带卫星互联网、自动化卫星地面检测设备研制、先进数字视频传输等。